

# LUMINANCE COMPENSATING CIRCUIT FOR ELECTRIC FIELD DISCHARGING TYPE DISPLAY DEVICE

Patent Number: JP2000267622

Publication date: 2000-09-29

Inventor(s): SUZUKI KAZUICHI; HIRAKAWA HARUHISA

Applicant(s): FUTABA CORP

Requested Patent:  JP2000267622

Application Number: JP19990066646 19990312

Priority Number(s):

IPC Classification: G09G3/22; G09F9/30; G09G3/20

EC Classification:

Equivalents:

---

## Abstract

---

**PROBLEM TO BE SOLVED:** To execute the luminance compensation of an electric field discharging type display device which is not influenced by the variation of the characteristic of individual display panel.

**SOLUTION:** In this luminance compensation circuit, a current detecting circuit 4 detects a gate current at the time of reproduction driving of the display panel of the electric field discharging type display as voltage, and a sample and hold circuit 5 samples it by synchronizing with a control signal impressed to a terminal 3. The detected voltage is inputted to the arithmetic amplifier 6 of a voltage control circuit and the output of the amplifier 6 controls a gate voltage to be supplied to a gate electrode via Tr1 and Tr2 to be a fixed value. In a display period (at least for one frame) until a next control signal is inputted to the terminal 3 after the finish of sampling, the hold circuit 5 holds the gate voltage to be the fixed value.

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-267622  
(P2000-267622A)

(43)公開日 平成12年9月29日(2000.9.29)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト(参考)
G 0 9 G 3/22		G 0 9 G 3/22	E 5 C 0 8 0
G 0 9 F 9/30	3 6 0	G 0 9 F 9/30	3 6 0 5 C 0 9 4
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 C
	6 4 2		6 4 2 P
			6 4 2 C

審査請求 未請求 請求項の数4 O L (全7頁)

(21)出願番号 特願平11-66646

(22)出願日 平成11年3月12日(1999.3.12)

(71)出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72)発明者 鈴木 和一

千葉県茂原市大芝629 双葉電子工業株式会社内

(72)発明者 平川 治久

千葉県茂原市大芝629 双葉電子工業株式会社内

(74)代理人 100086841

弁理士 脇 篤夫 (外2名)

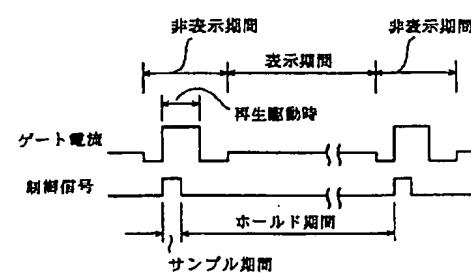
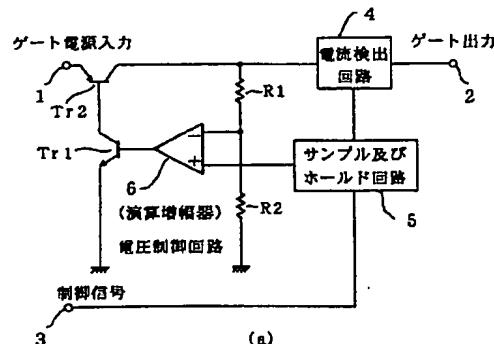
最終頁に続く

(54)【発明の名称】電界放出型表示装置の輝度補償回路

## (57)【要約】

【課題】個々の表示パネルの特性のばらつきに左右されない電界放出型表示装置の輝度補償を行う。

【解決手段】電界放出型表示装置の表示パネルの再生駆動時のゲート電流を電流検出回路4で電圧として検出し、端子3に加えられる制御信号に同期してサンプル及びホールド回路5でサンプリングする。検出電圧は電圧制御回路の演算増幅器6に入力され、演算増幅器6の出力はTr1、Tr2を介してゲート電極に供給されるゲート電圧を一定値に制御する。サンプリング終了後次の制御信号が端子3に入力されるまでの表示期間(少なくとも1フレーム分)中、ホールド回路5でゲート電圧を一定値にホールドする。



(b)

## 【特許請求の範囲】

【請求項1】 ゲート電源と、

該ゲート電源からゲート電極に流入するゲート電流を検出する電流検出手段と、

ゲート電極に供給されるゲート電圧を制御する電圧制御手段と、

制御信号によって前記電流検出手段の検出値をサンプルホールドするサンプリング手段とを備え、

電界放出型表示装置の非表示期間に、前記制御信号によって前記ゲート電流のサンプリングを行い、前記電界放出型表示装置の表示期間に前記サンプリング手段の出力に基づいて前記電圧制御手段を制御し、表示期間内の輝度レベルが一定となるように制御することを特徴とする電界放出型表示装置の輝度補償回路。

【請求項2】 上記非表示期間は上記電界放出型表示装置の再生期間を利用して設定されていることを特徴とする請求項1に記載の電界放出型表示装置の輝度補償回路。

【請求項3】 上記非表示期間内に各ゲート電極が高速スキャン電圧によって走査されるように構成したことを特徴とする請求項1、もしくは2に記載の電界放出型表示装置の輝度補償回路。

【請求項4】 上記電界放出型表示装置は2電極フルカラー方式とされていることを特徴とする請求項1、2もしくは3に記載の電界放出型表示装置の輝度補償回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電界放出型表示装置(FED:Field Emission Display、以下、単にFEDと表記する)等の駆動回路に関し、特に温度変化に対する輝度の補償回路に係る。

## 【0002】

【従来の技術】 金属または半導体表面の印加電界を10<sup>9</sup>[ボルト/m]程度にすると、トンネル効果により電子が障壁を通過し、常温でも真空中に電子放出が行われる。この現象を電界放出(Field Emission)という。半導体微細加工技術を駆使して、電界放出部の配列からなる面放出型の電界放出部を作成することが可能となり、FED等の電界放出型表示装置に用いられている。また、電界放出部を1次元配列として感光フィルムに画像を形成する光プリントヘッドに適用することも考えられている。

【0003】 図5はスピント型と呼ばれている電界放出素子の概要を示す模式図であって、基板S上にカソード電極Kが蒸着により設けられており、このカソード電極K上にエミッタ電極Eが多数個設けられ、その上に絶縁層I(SiO<sub>2</sub>)が一面に形成されている。絶縁層Iの上にゲート電極G Tが蒸着等によって成膜され、エミッタ電極Eの先端部で開放するホールを形成して電子を引き出すようにしている。

【0004】 カソード電極Kとゲート電極G T間に電圧V<sub>gk</sub>として約50~80Vを加えることにより、エミッタ電極Eの先端部から電子が放出される。そして、その電子がカソード電極Kと真空空間で対向する位置に配置されるアノード電極Aに印加されているアノード電圧V<sub>a</sub>によって捕捉される。このような電界放出素子をグループとして、ストライプ状に形成されているゲート電極を順次走査しつつ、カソード電極の各ストライプ状電極にそれぞれ画像信号を供給することにより、アノード電極に設けられた蛍光体が発光し表示器としての動作が行なわれる。

【0005】 再生駆動を行う場合には、アノード電極に印加されるアノード電圧は、アノード選択電圧V<sub>a1</sub>、アノード非選択電圧V<sub>a2</sub>、蛍光体非発光電圧GNDの3つの異なる電圧が同期信号に同期した所定のタイミングで供給される。

【0006】 図6は上記したような電界放出素子を表示装置として駆動するときのブロック図である。図中、61は信号入力バッファ、62はコントローラ、63は表示用RAM(ランダムアクセスメモリ)、64はデータドライバ、65はアノード電源/アノードスイッチ回路、66はゲート電圧制御回路、67はゲート電源、68はスキャンドライバ、69はカソード電源、70はFEDパネルである。

【0007】 画像信号は、同期信号とともに信号入力バッファ61を介してコントローラ62に入力され、1フレーム分の画像データが、RGB別に表示用RAM63に記憶される。コントローラ62は、表示用RAM63に記憶されたRGBデータを、蛍光体ドット67の選択順序に応じた所定の順序で読み出して、データドライバ64に転送する。データドライバ64においては、カソード電源69から電圧V<sub>cc</sub>の供給を受け、RGBデータの階調に応じたパルス幅のデータパルスをFEDパネル70のカソード端子(カソード電極C1~Cm)に出力する。

【0008】 アノード電源/アノードスイッチ回路65は、表示方式に応じて3つの異なる電圧(アノード選択電圧V<sub>a1</sub>、アノード非選択電圧V<sub>a2</sub>、蛍光体非発光電圧GND)を同期信号に同期した所定のタイミングでスッシング出力する回路である。コントローラ62は、入力された同期信号に同期して、アノード電源/アノードスイッチ回路65を制御し、FEDパネル70のアノード端子A1、A2のそれぞれにアノード選択電圧V<sub>a1</sub>、アノード非選択電圧V<sub>a2</sub>、蛍光体非発光電圧GNDを供給する。コントローラ62は、また、ゲート電源67から電圧V<sub>gg</sub>の供給を受けるゲート電圧制御回路66を制御し、スキャンパルスを発生させてスキャンドライバ68に供給する。コントローラ62は、スキャンドライバ68を制御して、ゲート端子G1~Gnの1つにスキャンパルスを供給する。1/4 VGAの解像度

(320×240) の場合には  $n=240$ 、 $m=960$   
(カソード端子数480) となる。

#### 【0009】

【発明が解決しようとする課題】一般に、このようなFEDの表示装置の場合は動作温度範囲は広く、比較的低温から高温域まで動作するが、画像の明るさに関係するエミッション電流（カソードから放射される電子流）の温度依存性が大きく、エミッション電流が増加すれば輝度も増加するので、周囲温度により輝度が変動するという問題がある。そこで、FEDパネルの温度を検出して、ゲート電圧を制御し、FEDパネルの周囲温度、または内部の温度を検出して輝度の変動を補償する方法が従来から使用されている。

【0010】図7は図6に示されたゲート電圧制御回路66内に組み込まれた、従来例のモニター抵抗値検出型輝度補償回路図である。この図でRはFEDパネルが製造される際に、予め、半導体製造と類似のプロセスで組み込まれたモニター抵抗である。74はモニター抵抗Rの抵抗値の変化を電圧として検出する電圧検出回路で、その出力は比較器を構成する演算增幅器75の一方の入力端子に供給され、他方の入力端子にはゲート電圧を抵抗R1、R2によって分圧した電圧が供給されている。そして、演算增幅器75の出力は電圧制御用トランジスタTr1、Tr2を介して、FEDのゲート電源の電圧を制御するように構成し、温度変動があるときでも表示画像の輝度をほぼ一定となるようにコントロールしている。

【0011】この回路は、モニター抵抗Rの抵抗値がFEDパネルの温度により変化するので、温度変化によってゲート電圧が変化しても、輝度レベルがほぼ一定となるように制御することが可能であるが、個々のパネル毎にこの抵抗値とゲート電圧、ゲート電圧と輝度（エミッション電流）の関係に大きなばらつきがあり、特性を揃えることが困難であり調整が難しい。また、モニター抵抗の抵抗値Rと、輝度レベルの間に直接的な関係がないため、図7の回路はオープンループの制御となり、安定した補償が得られないという問題があった。

#### 【0012】

【課題を解決するための手段】本発明は電界放出型表示装置の輝度補償回路は、このような問題点を解決するためになされたもので、ゲート電源と、該ゲート電源からゲート電極に流入するゲート電流を検出する電流検出手段と、ゲート電極に供給されるゲート電圧を制御する電圧制御手段と、制御信号によって前記電流検出手段の検出値をサンプルホールドするサンプリング手段とを備え、電界放出型表示装置の非表示期間に、前記制御信号によって前記ゲート電流のサンプリングを行い、電界放出型表示装置の表示期間に前記サンプリング手段の出力に基づいて前記電圧制御手段を制御し、表示期間内の輝度レベルが一定となるように制御するようにしたもので

ある。

#### 【0013】

【発明の実施の形態】図1は、上記したような電界放出表示装置の輝度補償回路の実施例を回路図としたもので、図1(a)は輝度補償回路のブロック図、図1(b)はFEDの温度をサンプリングするタイミング波形図を示している。本発明は、以下に述べるように基本的にはゲート電流を検出してゲート電圧を制御し、あらかじめ、設定しておいたゲート電流値とする輝度補償回路である。

【0014】図1(a)のブロック図で示される回路は、図6のゲート電圧制御回路66に組み込まれている。この図で4はゲート電流値を検出する電流検出回路であり、5は電流値検出のタイミングを制御端子3から入力される制御信号（サンプリングパルス）によって定め、一定期間その電流値を保持するサンプル及びホールド回路である。このサンプル及びホールド回路5の出力は比較器を構成する演算增幅器6の一方の入力端子に供給されており、他方の入力端子には抵抗R1、R2を介してゲート出力電圧が分圧されて供給されている。そして、演算增幅器6とトランジスタTr1、Tr2によって一般的な直列制御型の安定化電源が構成されている。

【0015】この回路は端子1にゲート電源を接続し、端子2より図6のスキャンドライバ68を介して各ゲート電極に駆動電圧を供給する。電流検出回路4はゲート電流を検出して電圧に変換するために、例えば、直列に挿入された低抵抗値の抵抗の両端の電位を測定してもよい。サンプル及びホールド回路5は、図示しない回路から端子3を介して供給される図1(b)の制御信号のタイミングにしたがって、電流検出回路4の電圧をサンプリングして、その値を一定期間保持すると共に、電圧制御回路を構成する演算增幅器6に供給する。

【0016】制御信号は画像の非表示期間に供給されるゲート電圧によって、エミッタからゲート電極に流れるゲート電流を測定するサンプリングパルスとなっており、この非表示期間は、後で述べるように電界放出表示装置に適応される再生駆動期間を利用することができる。また、画像の表示期間ではアノード電極に高電圧が印加されゲート電流が低下するが、この表示期間ではサンプルされた電流値がホールドされることになる。

【0017】したがって、この実施例によると非表示期間内にはアノード電圧を低下してゲートを通常のスキャン周波数より早い周期で走査し、各ゲート電極に流れる電流値をコンデンサ等に蓄積し、その電圧でゲート電流が一定となるようなサーボ回路を構成し、温度変化によって変動するゲート電流を一定値に保つように制御して表示期間の輝度レベルが常に一定となるように制御することができる。

【0018】図2は本出願人が先に提案したいわゆる歯型アノード電極構造を持った、2電極型フルカラーF

EDの1例を説明する概要構成図である。図中、31はカソード基板、32はアノード基板、33はスペーサ、34-1～34-4はカソード電極、35はパッチ状のゲート電極、36-1～36-5はアノード電極、37は蛍光体ドットである。このカラーFEDは、電界放出部が2次元マトリクス状に形成されたカソード基板31と、これに対向して、アノード電極36-1～36-5上に2次元マトリクス状に形成された蛍光体ドット37を有するアノード基板32とが対向配置されたもので、スペーサ33により両者の間隙が一定に支持され、両基板の外周が封止され、内部が真空状態に保持されたものである。

【0019】このカソード基板31上には、カソード電極34-1～34-4がストライプ状に、列方向に並んで配列されている。電界放出部の詳細な構造は説明を省略するが、カソード電極34-1～34-4に島状電極が形成され、その上に抵抗層を介し、複数の微細なコーン状エミッタが形成され、パッチ状のゲート電極35の開口部を介してアノード基板32側に面している。上述したカソード電極34-1～34-4、コーン状エミッタ、パッチ状ゲート電極により電界放出部が構成されている。なお、複数のゲート電極35間の配線についても、この図では省略しており、図3を参照して後述する。

【0020】一方、透明のアノード基板32の下面には、透明のアノード電極36-1～36-5・・・が、ストライプ状に、列方向に並んで配列されている。上述したカソード電極34-1～34-4・・・とは、1対1対応で並行している。1つおきの奇数番目のアノード電極36-1、36-3、36-5・・・が前端部で共通接続され、他の1つおきの偶数番目のアノード電極36-2、36-4・・・が図示しない後端で共通接続されている。すなわち、1つおきに交互に櫛歯状にかみ合って2つのアノード端子を有するアノード電極が形成されている。

【0021】アノード電極36-1～36-5としては、ITO(Indium Tin Oxide)の導電性透明薄膜が使用され、この下面に、同一発光色の複数の蛍光体ドット37が、各アノード電極36-1～36-5の長手方向に所定間隔をおいて塗布形成されている。アノード電極36-1にレッド(R)、アノード電極36-2にグリーン(G)、アノード電極36-3にブルー(B)、アノード電極36-4にレッド(R)、というように、列方向に、R、G、Bの3原色の蛍光体ドット37が交互に配列されて、表示部が構成されている。蛍光体ドット37とゲート電極35を有する電界放出部とは、1対1対応している。

【0022】カソード基板31側の特定のゲート電極35に、カソード電位に対し、数十ボルトの大きさのゲート電圧を印加すると、コーン状エミッタから電子が放出

され、同時に、直上のアノード電極に数百ボルトのアノード電圧を印加すると、エミッタから放出された電子は、直上有る蛍光体ドット37に射出し、蛍光体ドット37が発光する。ゲート電圧が印加されるゲート電極35を有する電界放出部に接続されるカソード配線には、画像信号の階調に応じたパルス幅の信号電圧が印加され、蛍光体ドット37の発光量が、その階調に応じたものとなるよう制御される。

【0023】図3は図2に示した2電極型フルカラーFEDの駆動方法を説明するための電極接続図である。図中、図2と同様な部分には同じ符号を付して説明を省略する。41ないし44はゲート配線、45、46はアノード電極である。ゲート電極35およびこれに対向する蛍光体ドット37とは、重ねて記載している。

【0024】ゲート配線41～44は、列方向に延びて、ゲート電極35の1ドットおきに交互に接続され、1表示ライン当たり2本のゲート端子(G1、G2)、(G3、G4)、・・・(G(n-1)、Gn)が引き出される。アノード配線45、46は、櫛歯状の1対のアノード電極(36-1、36-3、36-5・・・)、(36-2、36-4、36-6・・・)に接続され、アノード端子A1、A2が引き出される。m本のカソード電極およびカソード配線は図示を省略しているが、図2において隣接するカソード電極(34-1、34-2)、(34-3、34-4)、・・・が、それぞれ、1つのカソード端子に接続されている。ゲート端子(ゲート配線)の総数は、行方向の表示ライン数の2倍になる。しかし、カソード配線とゲート配線とのマトリクスによりマルチプレックス駆動ができるため、カソード配線は、隣り合う2本のラインを接続して1本の端子として取り出している。この2電極型フルカラーFEDの画素選択方法は、行方向に配列されたゲート配線41～44と列方向に配列されたカソード配線のマトリクスのみで行うものであり、行方向に線順次走査を行うことにより、1フレームの画像を表示する。

【0025】図4は、図2に示した2電極型フルカラーFEDの駆動タイミング図である。先の図3を合わせて参考し、画素選択方法の1例を説明する。図中、51、52はアノード端子A1、A2に印加されるアノード電圧、53～60はゲート端子G1、G3、G5、・・・、G(2n-1)、G2、G4、G6、・・・、G(2n)に印加されるスキャンパルスである。列方向に配列された図示しない複数のカソード電極C1～Cmには、2本ずつ1つのカソード端子に共通接続されて、蛍光体ドットの発光量を決めるデータパルスが同時に印加されている。61はゲート端子G(2n)にスキャンパルスが印加されている期間において、カソード電極Cmに印加されるデータパルスである。

【0026】アノード電極A1に正のアノード電圧51が印加され、アノード電極A2にGNDレベル(0ボル

ト)のアノード電圧 $A_2$ が印加されている期間において、奇数番目のゲート端子 $G_1, G_3, G_5, \dots, G_{(2n-1)}$ に、スキャンパルス $S_3 \sim S_5$ を順次印加し、これと同期して、各カソード電極 $C_1 \sim C_m$ に、選択画素の階調に応じた幅のデータパルスを印加する。一方、アノード電極 $A_2$ に正のアノード電圧 $A_2$ が印加され、アノード電極 $A_1$ にGNDレベルのアノード電圧 $A_1$ が印加されている期間においては、偶数番目のゲート端子 $G_2, G_4, G_6, \dots, G_{(2n)}$ にスキャンパルス $S_6 \sim S_{10}$ を順次印加し、これと同期して、各カソード端子 $C_1 \sim C_m$ にデータパルスを印加する。このようにしてFEDの画像表示が行われる。

【0027】上述したような、2電極型フルカラーFEDパネルの場合は、図4に示すように1フレームの終了時に、表示装置の再生期間をかねて非表示期間TDを挿入し、この非表示期間TDにはアノード電圧 $A_1, A_2$ をオフにすると共に、高速のゲートスキャンを行わせ、この期間をサンプリング期間としてゲートの電流検出を行うようとする。そして、この検出されたゲート電流が温度変化に対応して一定となるように、前記した輝度補償回路によってゲート電圧を制御することにより、画像の輝度レベルが温度に対して常に一定のレベルを保持するように制御することができる。

【0028】なお、再生駆動時には、アノード電圧は低く保たれるので、カソードから放出された電子は、すべてゲートに流入し、表示期間中に流れるゲート電流に比べ、再生駆動時のゲート電流はかなり大きい。このために、例えばゲート端子のスキャンドライバの保護抵抗を複数のドライバICの電源端子に対し、1個に集約してゲート電源に接続する等の対策をとることにより、各ゲートに印加されるゲート電圧のばらつきを防止することができる。

【0029】以上、2電極型フルカラーFEDを例として説明を行ったが、画像の非表示期間は連続するテレビ画面のような場合は、垂直ブランкиング画面を利用して設定することができる。また、本発明の電界放出型表示装置の輝度補正回路は上記実施例に限らず、ゲート電圧により電界放出エミッタから電子を放出させ、所定の非表示期間を設けてゲート電流を測定できるものであれば、単色のFED、カラーFEDを問わず、任意の電極構造のFEDに本発明を適用することができる。また、画像表示装置に限らず、光プリントヘッドのように、1次元あるいは2次元配列の電界放出素子を用いて、画像データに応じた発光をさせる場合にも適用することができる。

【0030】

【発明の効果】本発明は、画像の非表示期間にゲート電流を直接測定して電圧制御回路に入力し、ゲート電源の電圧を制御するので、サンプル期間のゲート電流が一定の値となるようにゲート電圧が設定される。そして、引き続く表示期間ではサンプル期間に設定されたゲート電圧を保持することで、エミッション電流を一定の値に保つ。このようにして、エミッション電流と相関関係の深い輝度を一定に保つことができる。

【0031】また、FEDパネル内のモニター抵抗の抵抗値変化を検出する方法に対し、本発明では、輝度レベルの変動は主にゲート電流の変動と考えられるので、ゲート電流を測定することで、個々のパネル毎のエミッション電流特性のばらつきや、経時変化による影響等を軽減し輝度レベルの変動を効果的に補償することができる。さらに、ゲート電流（エミッション電流）検出、ゲート電圧制御、ゲート電流（エミッション電流）変化という閉ループとなり、フィードバック制御が可能となり、パネル個々の輝度調整に要する作業量が低下することによるコストダウンの効果も大きい。

【図面の簡単な説明】

【図1】本発明の電界放出型表示装置の輝度補正回路の実施の形態を示すブロック図、および、タイミング波形図である。

【図2】FEDの構造を説明する模式図である。

【図3】FEDのアノードとゲートの配線を説明する模式図である。

【図4】2電極型フルカラールFEDの駆動タイミング図である。

【図5】電界放出素子の概要を示す斜視図である。

【図6】電界放出型表示装置の駆動回路を示す回路図である。

【図7】従来の電界放出型表示装置の輝度補正回路のブロック図である。

【符号の説明】

1 ゲート電源入力端子、

2 ゲート出力端子、

3 制御信号入力端子、

4 電流検出回路、

5 サンプル及びホールド回路、

6 演算増幅器、

31 カソード基板、

32 アノード基板

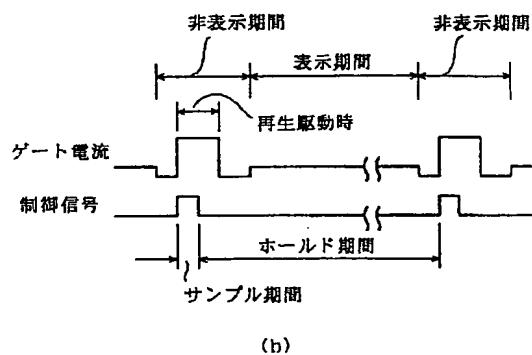
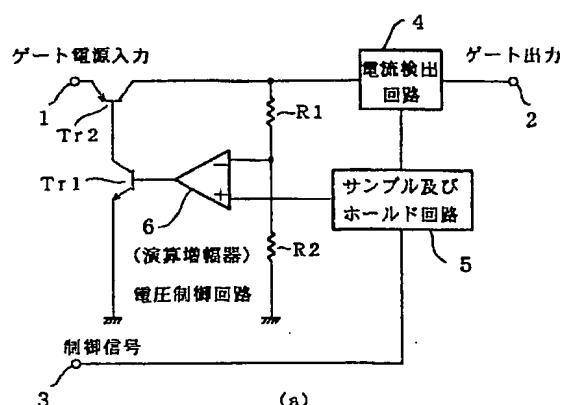
34-1、34-2、34-3 … カソード電極、

35 ゲート電極、

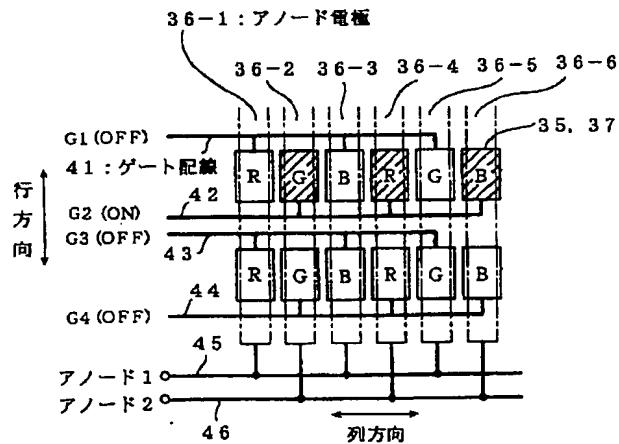
36-1、36-2、36-3 … アノード電極、

37 荧光体ドット、

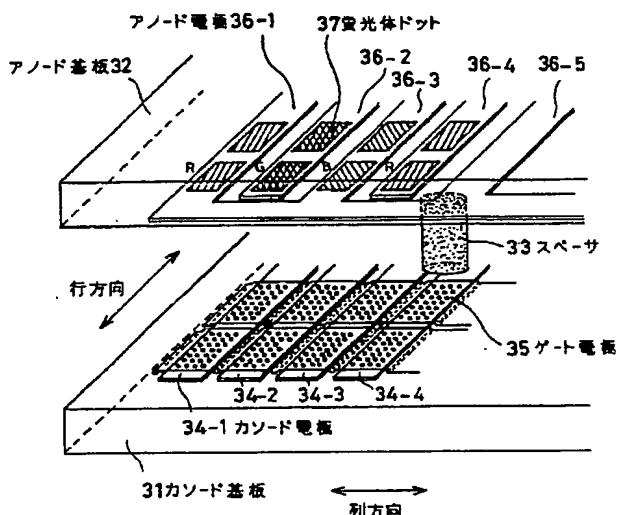
【図1】



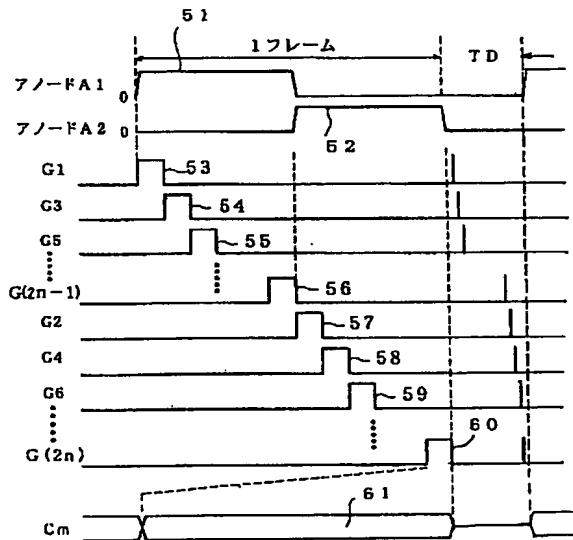
【図3】



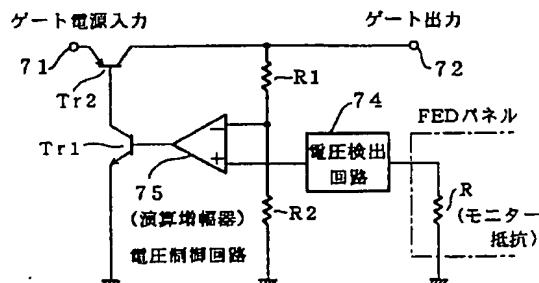
【図2】



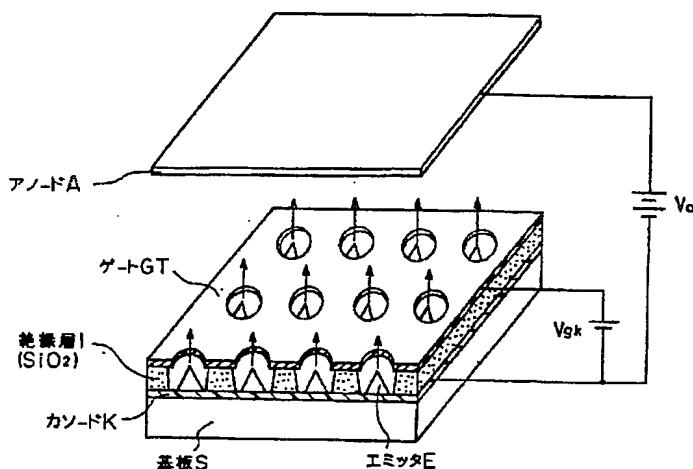
【図4】



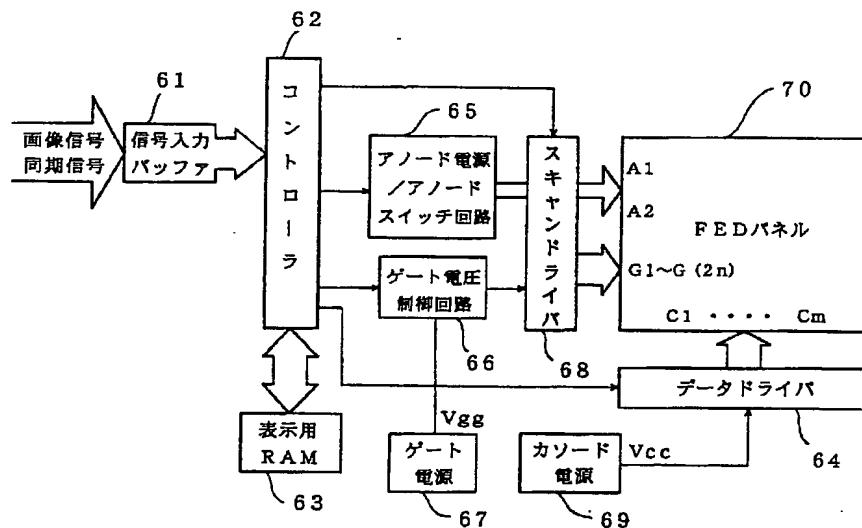
【図7】



【図5】



【図6】




---

フロントページの続き

Fターム(参考) 5C080 AA08 BB05 CC03 DD03 DD20  
EE28 EE30 FF09 GG01 JJ02  
JJ03 JJ04 JJ06  
5C094 AA03 AA43 AA44 BA02 BA12  
BA32 BA34 CA19 CA24 EA05  
EA10 FA01 FA02 GA10